

#2/Priority  
Paper  
4.30.99  
BOX PATENT CW

Attorney Docket:23900

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Chang Ho DO

Serial No.: NOT YET ASSIGNED

Filed: May 21, 1999

Title: A MULTI-BANK TESTING APPARATUS FOR A SYNCHRONOUS DRAM

REQUEST FOR PRIORITY UNDER 35 U.S.C. §119

Assistant Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

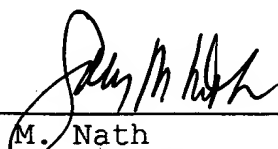
Sir:

In the matter of the above-captioned application, notice is hereby given that the Applicant claims as priority date May 25, 1998 date of the corresponding application filed in Korea, bearing Application Number 1998-18885.

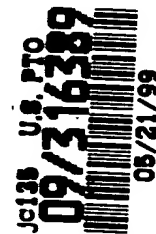
A Certified Copy of the corresponding application is submitted herewith.

Respectfully submitted,

Date: May 21, 1999

By:   
Gary M. Nath  
Reg. No. 26,965

NATH & ASSOCIATES  
1030 15<sup>th</sup> Street, N.W.  
6<sup>th</sup> Floor  
Washington, D.C. 20005  
(202)-775-8383  
GMN/ph (Priority)





대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

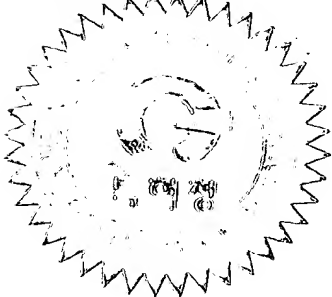
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 1998년 특허출원 제18885호  
Application Number

출원년월일 : 1998년 5월 25일  
Date of Application

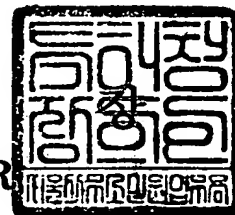
출원인 : 현대전자산업주식회사  
Applicant(s)



1999 년 3 월 2 일

특 허 청

COMMISSIONER



## 특허출원서

【출원번호】 98-018885

【출원일자】 1998/05/25

【국제특허분류】 H01L

【발명의 국문명칭】 싱크로너스 디램에서의 멀티 뱅크 테스트 장치

【발명의 영문명칭】 Multi Bank Test Circuit of Synchronous DRAM

【출원인】

【국문명칭】 현대전자산업주식회사

【영문명칭】 Hyundai Electronics Industries Co.,Ltd.

【대표자】 김영환

【출원인코드】 17511971

【출원인구분】 국내상법상법인

【전화번호】 0336-30-4114

【우편번호】 467-860

【주소】 경기도 이천시 부발읍 아미리 산 136-1

【국적】 KR

【대리인】

【성명】 이권희

【대리인코드】 H342

【전화번호】 02-317-4039

【우편번호】 100-110

【주소】 서울특별시 중구 서소문동 39-1

【대리인】

【성명】 이정훈

【대리인코드】 H320

【전화번호】 02-317-4039

【우편번호】 100-110

【주소】 서울특별시 중구 서소문동 39-1

【발명자】

【국문성명】 도창호

【영문성명】 DO, Chang Ho

【주민등록번호】 700103-1696421

【우편번호】 467-140

【주소】 경기도 이천시 고담리 고담기숙사 산11번지 102동 1302호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

이권희 (인)

대리인

이정훈 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

이권희 (인)

대리인

이정훈 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 369,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장 1통

## 【요약서】

### 【요약】

본 발명은 반도체 메모리인 싱크로너스 디램의 테스트 방법에 관한 것으로, 특히 메모리가 고집적화 되면서 늘어나는 테스트 타임을 줄이기 위하여 한번에 모든 बैं크의 라이트와 리드를 가능하게 함으로써 모든 बैं크를 테스트할 수 있도록, 셀 데이터를 비트라인 센스 증폭기에 전송하기 위한 워드라인을 인에이블하는 라스(RAS) 발생 회로부와 ; 상기 비트라인 센스 증폭기에 의해 증폭된 데이터가 실려 있는 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 트랜지스터의 게이트로 입력되는 신호를 만들어 주는 카스(CAS) 발생 회로부 ; 상기 로컬 데이터 버스라인(LDB)의 정보를 입력으로 하여 증폭시키는 입출력 센스 증폭기 ; 상기 입출력 센스 증폭기의 출력을 글로벌 리드 데이터 버스라인(GRDB)에 전송할 때 이를 조절하는 전송 게이트 ; 및 상기 입출력 센스 증폭기의 출력을 상기 글로벌 리드 데이터 버스라인(GRDB)에 전달하기 전에 압축시키는 입출력 비교 회로부를 구비한, 싱크로너스 디램에서의 멀티 बैं크 테스트 장치에 관한 것이다.

### 【대표도】

도 5

## 【명세서】

### 【발명의 명칭】

싱크로너스 디램에서의 멀티 뱅크 테스트 장치

### 【도면의 간단한 설명】

도 1 은 일반적인 SDRAM의 구조를 보인 블록 구성도,

도 2 는 도 1 의 입출력 센스 증폭기에 대한 출력 경로를 도시한 예시도,

도 3 의 (가) 및 (나)는 본 발명에 따른 RAS 발생 회로부에 대한 내부 구성도,

도 4 의 (가) 및 (나)는 본 발명에 따른 CAS 발생 회로부에 대한 내부 구성도,

도 5 는 본 발명에 따른 입출력 센스 증폭기에 대한 출력 경로를 도시한 제 1 실시 예시도,

도 6 은 본 발명에 따른 입출력 센스 증폭기에 대한 출력 경로를 도시한 제 2 실시 예시도,

도 7 은 본 발명에 따른 전송 게이트의 내부 구성도,

도 8 은 본 발명에 따른 입출력 비교 회로부의 내부 구성도이다.

### < 도면의 주요부분에 대한 부호의 설명 >

10 : 셀

20 : 비트라인 센스 증폭기

30 : 라스 발생 회로부

40 : 카스 발생 회로부

50 : 입출력 센스 증폭기

60 : 전송 게이트

## 70 : 입출력 비교 회로부

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 반도체 메모리인 싱크로너스 디램의 테스트 방법에 관한 것으로, 특히 메모리가 고집적화 되면서 늘어나는 테스트 타임을 줄이기 위하여 한번에 모든 बैं크의 라이트와 리드를 가능하게 함으로써, 모든 बैं크를 테스트할 수 있도록 한, 싱크로너스 디램에서의 멀티 बैं크 테스트 장치에 관한 것이다.

일반적으로, 싱크로너스 디램(SDRAM)에서 बैं크(BANK) 별로 독립적으로 존재하는 라스 발생(rasgen) 회로부는 बैं크 선택 어드레스(Bank Selection Address 이하 BA 라 칭함)의 입력을 받아 선택된 बैं크의 로오 경로(ROW PATH)만 진행하고, 카스 발생(casgen) 회로부는 बैं크 선택 어드레스(BA)의 입력을 받아 선택된 बैं크의 로오 경로(ROW PATH)만 진행하도록 되어 있다.

상기 동작을 도 1 및 도 2 를 참조하여 상세히 설명하면 다음과 같다.

먼저, 정상(Normal) 동작에서 로오 액티브 명령어(Row Active Command)가 입력되면, 명령어 신호인 라스(Row Address Strobe 이하 RAS 라 칭함)가 인에이블 되고, 이 신호는 각 बैं크의 로오 어드레스 스트로브를 가능하게 하는 신호(rasatv)를 만드는 라스 발생 회로부(3)로 입력된다.

이와 동시에, 상기 라스 발생 회로부(3)에는 बैं크 선택 어드레스(BA)도 입력되어, 이들에 의해 선택된 상기 라스 발생 회로부(3)의 출력만 인에이블 됨으로써,

뱅크 선택 어드레스(BA)에 의해 선택된 뱅크에서만 로오 경로(Row Path)가 진행되어 워드라인을 인에이블시킨다.

그리고, 카스 액티브 명령어(Cas Active Command)가 입력되면, 명령어 신호인 카스(Column Address Strobe 이하 CAS 라 칭함)가 인에이블 되고, 이 신호는 각 뱅크의 칼럼 어드레스 스트로브를 가능하게 하는 신호(casatv)를 만드는 카스 발생 회로부(4)로 입력된다.

이와 동시에, 상기 카스 발생 회로부(4)에는 뱅크 선택 어드레스(BA)도 입력되어, 이들에 의해 선택된 상기 카스 발생 회로부(4)의 출력만 인에이블 됨으로써, 뱅크 선택 어드레스(BA)에 의해 선택된 뱅크에서만 칼럼 경로(Column Path)가 진행되어, 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 신호(Yi)를 인에이블시켜, 데이터를 라이트(Write)하거나 리드(Read)할 수 있게 된다.

여기서, 데이터 경로를 도 1 을 참조하여 설명하면 다음과 같다.

먼저, 라이트(Write) 경로를 살펴 본다

데이터 입력 버퍼(11)에서 버퍼링된 데이터는 글로벌 라이트 데이터 버스라인(GWDB)에 전송되고, 이 데이터가 라이트 드라이버(Write Driver)에 의해 구동되어 로컬 데이터 버스라인(LDB)에 전송된다.

이때, 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 신호(Yi)가 인에이블 되면, 이 데이터가 비트라인을 통하여 셀(1)에 저장된다.

다음으로, 리드(Read) 경로를 살펴 본다.

로오 액티브(Row Active)에 의해 뱅크의 비트라인에 셀(1)의 데이터가 전달



되어 센싱되고, 이 데이터가 칼럼 액티브(Column Active)에 의한 신호( $Y_i$ )가 인에이블 되어 로컬 데이터 버스라인(LDB)에 전달되면, 상기 로컬 데이터 버스라인(LDB)의 데이터는 입출력 센스 증폭기(5)를 거쳐 증폭된 후, 글로벌 리드 데이터 버스라인(GRDB)에 전달되어 데이터 출력 버퍼(12)를 통하여 출력된다.

상기에서 설명한 바와 같이, N개의 बैं크(BANK)로 구성된 싱크로너스 디램(SDRAM)은, बैं크 선택 어드레스(BA)에 의해 선택된 1개의 특정한 बैं크에 대해서, 로오(Row) 동작과 칼럼(Column) 동작이 진행되기 때문에 테스트 방식도 बैं크별로 이루어 진다.

그러므로, N개 बैं크의 셀을 테스트 하려면 1개 बैं크의 셀을 테스트할 때 쓰이는 동작 횟수를 बैं크의 수 만큼 N배를 동작해야 하므로, 전체 칩을 테스트하는데 많은 테스트 시간이 소요되는 문제점이 있었다.

#### 【발명이 이루고자 하는 기술적 과제】

이에 본 발명은 상기한 바와 같은 종래의 제 문제점 들을 해소시키기 위하여 창안된 것으로, 메모리가 고집적화 되면서 늘어나는 테스트 타임을 줄이기 위하여 한번에 모든 बैं크의 라이트와 리드를 가능하게 함으로써, 모든 बैं크를 테스트할 수 있도록 한, 싱크로너스 디램에서의 멀티 बैं크 테스트 장치를 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

상기한 바와 같은 목적을 달성하기 위하여 본 발명은, 셀(10) 데이터를 비트 라인 센스 증폭기(20)에 전송하기 위한 워드라인을 인에이블하는 라스(RAS) 발생

회로부(30)와 ; 상기 비트라인 센스 증폭기(20)에 의해 증폭된 데이터가 실려 있는 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 트랜지스터의 게이트로 입력되는 신호를 만들어 주는 카스(CAS) 발생 회로부(40) ; 상기 로컬 데이터 버스라인(LDB)의 정보를 입력으로 하여 증폭시키는 입출력 센스 증폭기(50) ; 상기 입출력 센스 증폭기(50)의 출력을 글로벌 리드 데이터 버스라인(GRDB)에 전송할 때 이를 조절하는 전송 게이트(60) ; 및 상기 입출력 센스 증폭기(50)의 출력을 상기 글로벌 리드 데이터 버스라인(GRDB)에 전달하기 전에 압축시키는 입출력 비교 회로부(70)를 구비함을 특징으로 한다.

상기 라스 발생 회로부(30)는 도 3 에 도시한 바와 같이, 게이트 단자로 라스 신호가 공통으로 입력되는 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)를 직렬 접속하고, 상기 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)의 직렬 접속점에 출력 신호(rasatv)의 출력 시간을 제어하는 타이밍 컨트롤러(31)를 접속하며, 상기 엔모스 트랜지스터(NM31)와 직렬 접속되고 각기 게이트 단자로 뱅크 선택 어드레스(BA)가 입력되는 엔모스 트랜지스터(NM32, NM33)를 직렬 접속하고, 상기 엔모스 트랜지스터(NM31, NM32)의 접속점에 엔모스 트랜지스터(NM30)를 병렬로 접속하여 상기 엔모스 트랜지스터(NM30)의 게이트 단자로 모든 뱅크의 라이트(Write)와 리드(Read) 테스트시에 인에이블 되는 모든 뱅크 테스트 신호(tm\_abwr)를 입력하도록 구성한다.

상기 카스 발생 회로부(40)는 도 4 에 도시한 바와 같이, 게이트 단자로 카스 신호가 공통으로 입력되는 피모스 트랜지스터(PM41) 및 엔모스 트랜지스터

(NM41)를 직렬 접속하고, 상기 피모스 트랜지스터(PM41) 및 엔모스 트랜지스터(NM41)의 직렬 접속점에 출력 신호(casatv)의 출력 시간을 제어하는 타이밍 콘트롤러(41)를 접속하며, 상기 엔모스 트랜지스터(NM41)와 직렬 접속되고 각기 게이트 단자로 뱅크 선택 어드레스(BA)가 입력되는 엔모스 트랜지스터(NM42, NM43)를 직렬 접속하고, 상기 엔모스 트랜지스터(NM41, NM42)의 접속점에 엔모스 트랜지스터(NM40)를 병렬로 접속하여 상기 엔모스 트랜지스터(NM40)의 게이트 단자로 모든 뱅크의 라이트(Write)와 리드(Read) 테스트시에 인에이블 되는 모든 뱅크 테스트 신호(tm\_abwr)를 입력하도록 구성한다.

상기 전송 게이트(60)는 도 7에 도시한 바와 같이, 상기 입출력 센스 증폭기(50)와 글로벌 리드 데이터 버스라인(GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM61)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM61)를 공통 접속하고, 상기 입출력 센스 증폭기(50)와 글로벌 리드 데이터 버스라인 바(/GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM62)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM62)를 공통 접속하며, 상기 입출력 비교 회로부(70)와 글로벌 리드 데이터 버스라인(GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM63)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM63)를 공통 접속하고,

상기 입출력 비교 회로부(70)와 글로벌 리드 데이터 버스라인 바(/GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM64)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM64)를 공통 접속하여 구성한다.

상기 입출력 비교 회로부(70)는 도 8 에 도시한 바와 같이, 게이트 단자로 인버터(In70)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM71, PM76) 및 엔모스 트랜지스터(NM71, NM73)를 병렬 접속하고, 상기 피모스 트랜지스터(PM71)와 엔모스 트랜지스터(NM71) 사이에 각기 게이트 단자로 입력 신호(I0<0:3>)가 입력되는 피모스 트랜지스터(PM72 - PM75)를 병렬 접속하며, 상기 엔모스 트랜지스터(NM71)에 엔모스 트랜지스터(NM72)를 공통 소오스 접속하고, 상기 피모스 트랜지스터(PM76)와 엔모스 트랜지스터(NM73) 사이에 게이트 단자로 입력바 신호(/I0<0:3>)가 입력되는 피모스 트랜지스터(PM77 - PM80)를 병렬 접속하며, 상기 엔모스 트랜지스터(NM73)에 엔모스 트랜지스터(NM74)를 공통 소오스 접속하고, 낸드 게이트(NA71)를 통하여 입력되는 신호와 상기 모든 뱅크 테스트 신호(tm\_abwr)를 낸드 게이트(NA72) 및 인버터(In71 -In74)를 통하여 낸드 게이트(NA73)의 일측 단자에 접속함과 아울러 인버터(In75 -In79)를 통하여 상기 낸드 게이트(NA73)의 타측 단자에 접속하며, 상기 낸드 게이트(NA73)의 출력은 인버터(In80)를 통하여 상기 엔모스 트랜지스터(NM72, NM74)의 게이트 단자에 공통 접속하여 구성한다.

본 발명은 로오(Row) 동작과 칼럼(Column) 동작이 라이트(Write)와 리드

(Read) 테스트시에 뱅크 선택 어드레스(BA)의 영향을 받지않게 하여, 모드 뱅크에서 동작이 진행되게 하였다.

이는, 한 번의 로오(Row) 동작으로 모든 뱅크에서 로오 어드레스(Row Address)에 의한 워드라인(Word Line)이 인에이블되게 하고, 한 번의 칼럼(Column) 동작으로 모든 뱅크에서 칼럼 어드레스(Column Address)에 의한 신호(Yi)가 인에이블되게 하여, 모든 뱅크를 동시에 테스트할 수 있게 하였다.

또한, 데이터 출력 경로에서 각기 다른 뱅크의 데이터가 접전(fighting)이 발생하게 되는 것을 방지하기 위해, 셀의 데이터가 글로벌 리드 데이터 버스라인(GRDB)에 전송되기 전에, 입출력 비교 회로부를 통하여 압축된 입출력 데이터를 글로벌 리드 데이터 버스라인(GRDB)에 전송되게 하였다.

이렇게 한 번의 라이트와 리드 사이클이 진행되면 각각의 뱅크에 모두 라이트와 리드가 되므로 테스트 시간을 획기적으로 감소시킬 수 있다.

본 발명에 따른 동작 원리를 상세히 설명하면 다음과 같다.

먼저, 정상(Normal) 동작에서 로오 액티브 명령어(Row Active Command)가 입력되면, 명령어 신호인 라스(Row Address Strobe 이하 RAS 라 칭함)가 인에이블 되고, 이 신호는 각 뱅크의 로오 어드레스 스트로브를 가능하게 하는 신호(rasatv)를 만드는 라스 발생 회로부(30)로 입력된다.

그리고, 카스 액티브 명령어(Cas Active Command)가 입력되면, 명령어 신호인 카스(Column Address Strobe 이하 CAS 라 칭함)가 인에이블 되고, 이 신호는 각 뱅크의 칼럼 어드레스 스트로브를 가능하게 하는 신호(casatv)를 만드는 카스 발생

회로부(40)로 입력된다.

상기 라스 발생 회로부(30) 또는 카스 발생 회로부(40)에서, 뱅크 선택 어드레스(BA)가 입력되는 부분에 병렬로 엔모스 트랜지스터(NM30)를 연결하여, 모든 뱅크의 라이트(Write)와 리드(Read) 테스트시에 인에이블 되는 신호(tm\_abwr)를 상기 엔모스 트랜지스터(NM30)의 게이트로 입력하였다.

상기와 같이 라스 발생 회로부(30)와 카스 발생 회로부(40)를 구성하면, 모든 뱅크 라이트(Write)와 리드(Read) 테스트시에 N 개의 뱅크로 구성된 전체 칩(total chip)은 마치 하나의 뱅크처럼 동작하게 되고, 라이트(Write) 명령어가 입력되면 모든 뱅크는 글로벌 라이트 데이터 버스라인(GWDB)을 공유하기 때문에 다른 뱅크지만 같은 주소를 가지는 셀(10)에는 같은 데이터가 라이트(Write) 된다.

따라서, 모든 뱅크에 라이트(Write)하게 된다.

이 후에, 리드(Read) 동작을 실행하면 비트라인에 증폭되어 실려있는 셀(10)의 정보는, 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 신호(Yi)가 인에이블 되면서 로컬 데이터 버스라인(LDB)으로 전송된다.

이 데이터는 입출력 센스 증폭기(50)에서 증폭되어 출력되는데, 이는 입출력 비교 회로부(70)로 입력된다.

이때, 상기 입출력 센스 증폭기(50)의 출력과 글로벌 리드 데이터 버스라인(GRDB)을 연결하는 전송 게이트(60)는 상기 테스트 신호에 의해 클로우즈(close)되고, 입출력 비교 회로부(70)의 출력을 글로벌 리드 데이터 버스라인(GRDB)과 연결하는 전송 게이트(60)는 상기 테스트 신호에 의해 오픈(open)되어 글로벌 리드 데

이터 버스라인(GRDB)으로 전송된다.

따라서, 모든 뱅크를 리드(Read)하게 된다.

여기서, 입출력 비교 회로부(70)의 입력을 구성하는 것을 살펴보면 다음과 같다.

첫 번째 방법은, 같은 데이터 경로에 있는 입출력 센스 증폭기(50)의 출력을 각 뱅크에서 뽑아내어 입력을 구성한다.

즉, 도 5 에 도시한 바와 같이 같은 글로벌 데이터 버스라인(GDB)에 실리는 데이터를 입출력 비교 회로부(70)의 입력으로 한다.

이것은, 테스트시에 라이트(Write) 동작에서 데이터를 "하이" 또는 "로우"에 상관없이 입력할 수 있고, 리드(Read) 동작시에 이들을 "하이"- "로우"로 읽어낼 수 있다.

두 번째 방법은, 도 6 에 도시한 바와 같이, 같은 뱅크에서 출력되는 입출력 센스 증폭기(50)의 출력을 입력으로 사용한다.

이것은, 테스트시에 라이트(Write) 동작에서 모두 같은 위상의 데이터를 입력하여야 한다.

따라서 이와 같은 방식의 멀티 뱅크 테스트 방식은, 싱크로너스 디램에 있는 테스트중에서 스페셜 테스트 모드의 데이터 출력 압축 방식으로 테스트하는 것보다 현저하게 테스트 시간을 줄일 수 있게 된다.

#### 【발명의 효과】

이상에서 상세히 설명한 바와 같이 본 발명은, 모든 뱅크에서 동작이 진행되

어 데이터가 출력이 되게 하였고, 각각 बैं크의 정보가 글로벌 데이터 버스에 접전이 일어나지 않도록 각각 बैं크의 입출력 센스 증폭기 출력이 글로벌 데이터 버스에 전송 되기전에 압축되도록 하여 각 बैं크의 셀을 테스트함으로써, 테스트 시간을 단축시킬 수 있는 효과가 있다.

본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위안에서 다양한 수정, 변경, 부가등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허 청구의 범위에 속하는 것으로 보아야 할 것이다.



## 【특허청구범위】

### 【청구항 1】

셀 데이터를 비트라인 센스 증폭기에 전송하기 위한 워드라인을 인에이블하는 라스(RAS) 발생 회로부와 ;

상기 비트라인 센스 증폭기에 의해 증폭된 데이터가 실려 있는 비트라인과 로컬 데이터 버스라인(LDB)을 연결하는 트랜지스터의 게이트로 입력되는 신호를 만들어 주는 카스(CAS) 발생 회로부 ;

상기 로컬 데이터 버스라인(LDB)의 정보를 입력으로 하여 증폭시키는 입출력 센스 증폭기 ;

상기 입출력 센스 증폭기의 출력을 글로벌 리드 데이터 버스라인(GRDB)에 전송할 때 이를 조절하는 전송 게이트 ; 및

상기 입출력 센스 증폭기의 출력을 상기 글로벌 리드 데이터 버스라인(GRDB)에 전달하기 전에 압축시키는 입출력 비교 회로부를 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

### 【청구항 2】

제 1 항에 있어서

상기 라스 발생 회로부는,

게이트 단자로 라스 신호가 공통으로 입력되는 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)를 직렬 접속하고,

상기 피모스 트랜지스터(PM31) 및 엔모스 트랜지스터(NM31)의 직렬 접속점에

출력 신호(rasatv)의 출력 시간을 제어하는 타이밍 컨트롤러를 접속하며,

상기 엔모스 트랜지스터(NM31)와 직렬 접속되고 각기 게이트 단자로 뱅크 선택 어드레스(BA)가 입력되는 엔모스 트랜지스터(NM32, NM33)를 직렬 접속하고,

상기 엔모스 트랜지스터(NM31, NM32)의 접속점에 엔모스 트랜지스터(NM30)를 병렬로 접속하여,

상기 엔모스 트랜지스터(NM30)의 게이트 단자로 모든 뱅크의 라이트(Write)와 리드(Read) 테스트시에 인에이블 되는 모든 뱅크 테스트 신호(tm\_abwr)를 입력하도록 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

### 【청구항 3】

제 1 항에 있어서,

상기 카스 발생 회로부는,

게이트 단자로 라스 신호가 공통으로 입력되는 피모스 트랜지스터(PM41) 및 엔모스 트랜지스터(NM41)를 직렬 접속하고,

상기 피모스 트랜지스터(PM41) 및 엔모스 트랜지스터(NM41)의 직렬 접속점에 출력 신호(casatv)의 출력 시간을 제어하는 타이밍 컨트롤러를 접속하며,

상기 엔모스 트랜지스터(NM41)와 직렬 접속되고 각기 게이트 단자로 뱅크 선택 어드레스(BA)가 입력되는 엔모스 트랜지스터(NM42, NM43)를 직렬 접속하고,

상기 엔모스 트랜지스터(NM41, NM42)의 접속점에 엔모스 트랜지스터(NM40)를 병렬로 접속하여,

상기 엔모스 트랜지스터(NM40)의 게이트 단자로 모든 뱅크의 라이트(Write)

와 리드(Read) 테스트시에 인에이블 되는 모든 뱅크 테스트 신호(tm\_abwr)를 입력하도록 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

【청구항 4】

제 1 항에 있어서,

상기 전송 게이트는,

상기 입출력 센스 증폭기와 글로벌 리드 데이터 버스라인(GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM61)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM61)를 공통 접속하고,

상기 입출력 센스 증폭기와 글로벌 리드 데이터 버스라인 바(/GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM62)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM62)를 공통 접속하며,

상기 입출력 비교 회로부와 글로벌 리드 데이터 버스라인(GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM63)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM63)를 공통 접속하고,

상기 입출력 비교 회로부와 글로벌 리드 데이터 버스라인 바(/GRDB) 사이에 게이트 단자로 상기 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 엔모스 트랜지스터(NM64)와 게이트 단자로 인버터(In60)를 통하여 반전된 모든 뱅크 테스트 신호

(tm\_abwr)가 입력되는 피모스 트랜지스터(PM64)를 공통 접속하여 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

【청구항 5】

제 1 항에 있어서

상기 입출력 비교 회로부는,

게이트 단자로 인버터(In70)를 통하여 반전된 모든 뱅크 테스트 신호(tm\_abwr)가 입력되는 피모스 트랜지스터(PM71, PM76) 및 엔모스 트랜지스터(NM71, NM73)를 병렬 접속하고,

상기 피모스 트랜지스터(PM71)와 엔모스 트랜지스터(NM71) 사이에 각기 게이트 단자로 입력 신호(I0<0:3>)가 입력되는 피모스 트랜지스터(PM72 - PM75)를 병렬 접속하며,

상기 엔모스 트랜지스터(NM71)에 엔모스 트랜지스터(NM72)를 공통 소오스 접속하고,

상기 피모스 트랜지스터(PM76)와 엔모스 트랜지스터(NM73) 사이에 게이트 단자로 입력바 신호(/I0<0:3>)가 입력되는 피모스 트랜지스터(PM77 - PM80)를 병렬 접속하며,

상기 엔모스 트랜지스터(NM73)에 엔모스 트랜지스터(NM74)를 공통 소오스 접속하고,

낸드 게이트(NA71)를 통하여 입력되는 신호와 상기 모든 뱅크 테스트 신호(tm\_abwr)를 낸드 게이트(NA72) 및 인버터(In71 - In74)를 통하여 낸드 게이트

(NA73)의 일측 단자에 접속함과 아울러 인버터(In75 -In79)를 통하여 상기 낸드 게이트(NA73)의 타측 단자에 접속하며,

상기 낸드 게이트(NA73)의 출력은 인버터(In80)를 통하여 상기 엔모스 트랜지스터(NM72, NM74)의 게이트 단자에 공통 접속하여 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

**【청구항 6】**

제 5 항에 있어서,

상기 입출력 비교 회로부의 입력은,

같은 글로벌 리드 데이터 버스라인(GRDB)에 전송되고, 같은 칼럼 어드레스에 의해 인에이블되는 상기 입출력 센스 증폭기의 출력을 사용하도록 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

**【청구항 7】**

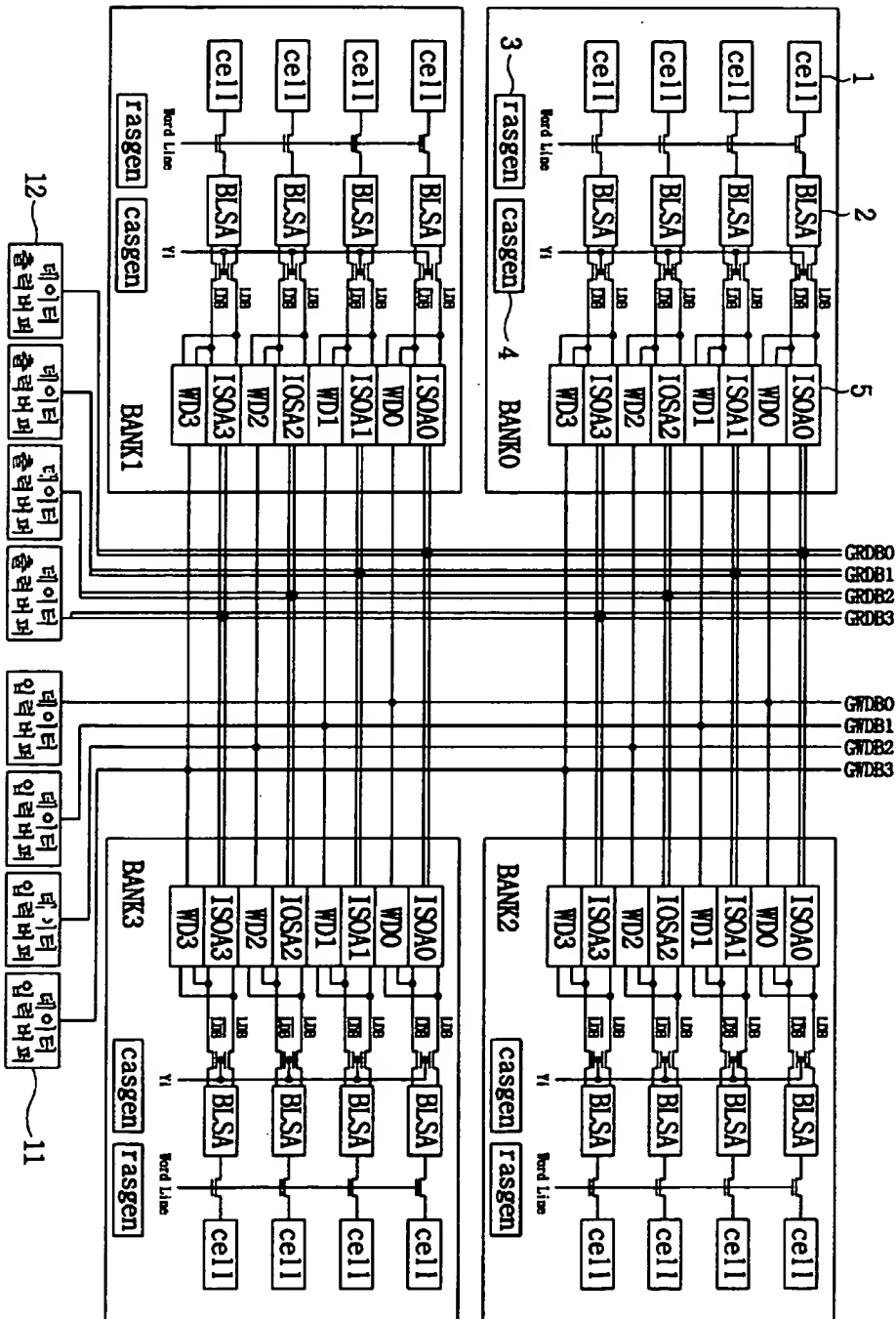
제 5 항에 있어서,

상기 입출력 비교 회로부의 입력은,

같은 뱅크이고, 같은 칼럼 어드레스에 의해 인에이블되는 상기 입출력 센스 증폭기의 출력을 사용하도록 구비함을 특징으로 하는 싱크로너스 디램에서의 멀티 뱅크 테스트 장치.

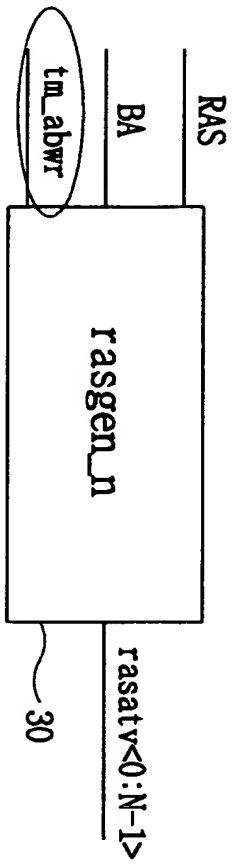
【도 1】

【도 1】



【도 2】

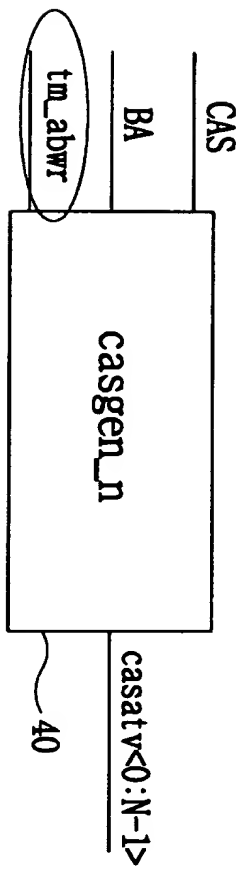




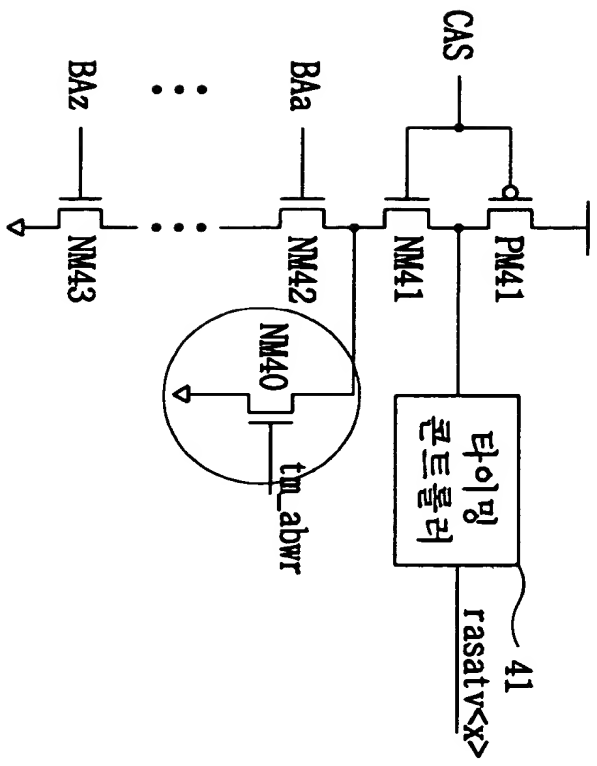
【도 3b】



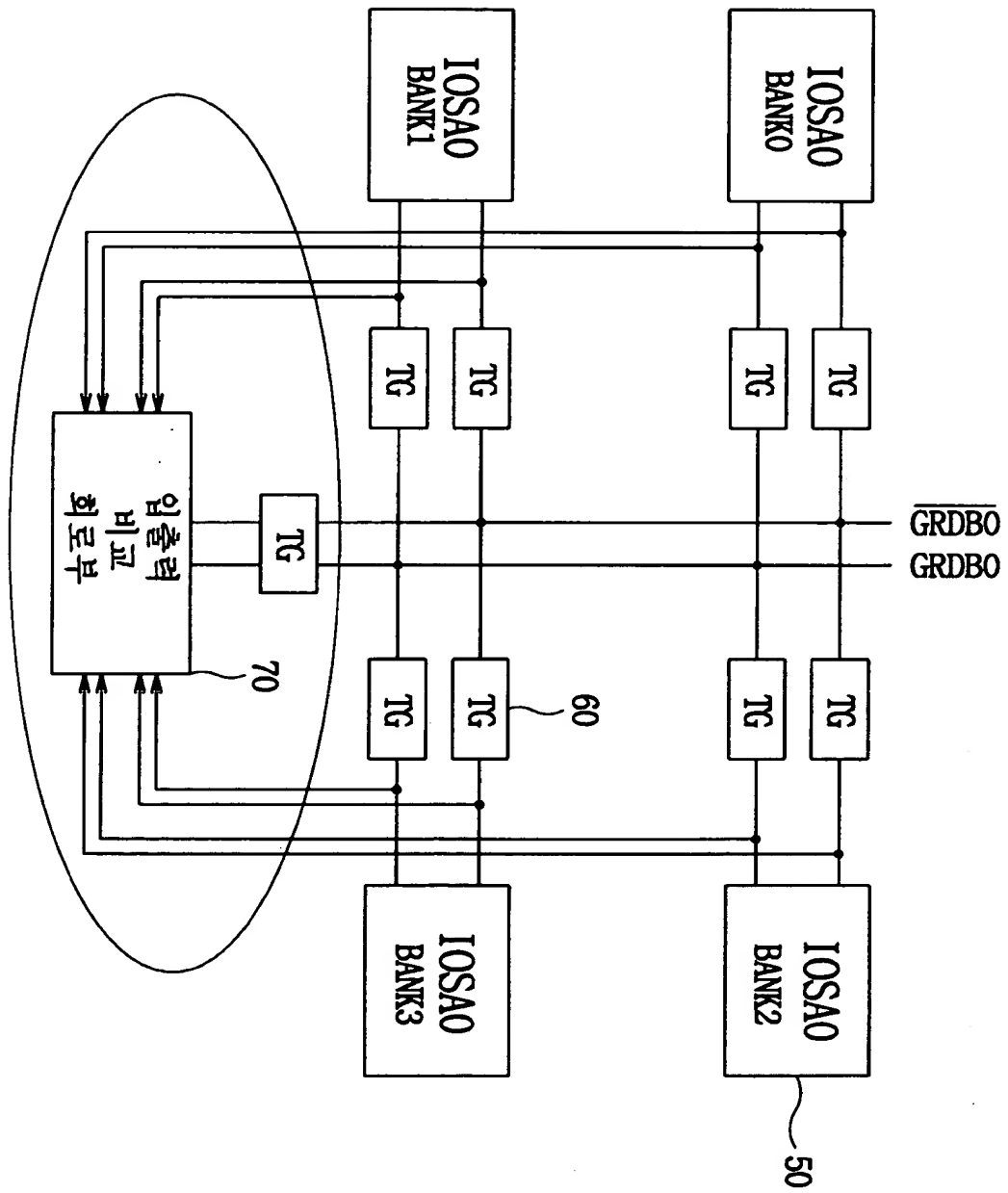




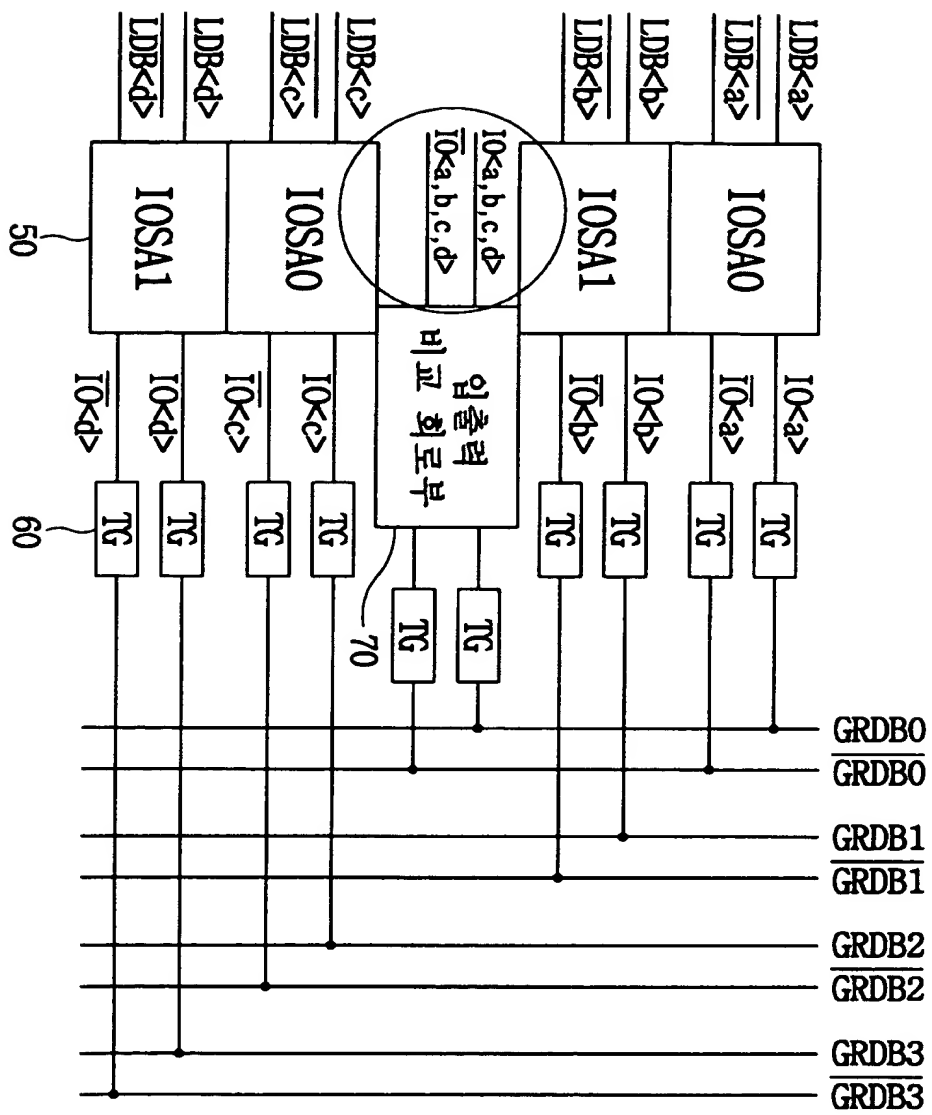
【도 4b】



【도 5】



【도 6】



【도 7】

